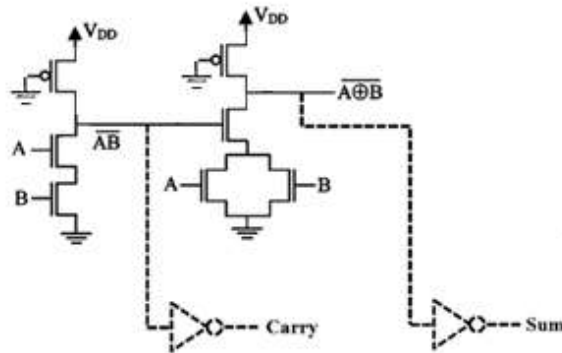


تمرین ۱ درس VLSI

یک مدار نیم جمع کننده pseudo nmos را در تکنولوژی 65nm با $V_{DD} = 1.2v$ شبیه سازی نمایید.

(تمامی مدار ها مطابق با روش سایزینگ pseudo nmos سائز شوند. با فرض $\mu_n = 2 \mu_p$)



۱. تمام ۱۶ گذار ممکن را در ورودی در نظر بگیرید.

در این شبیه سازی پارامترهای Delay ، Power Average و power Static را بدست آورید.

توجه داشته باشید که باید بیشترین تاخیر هر خروجی و همچنین توان ایستای میانگین (میانگین حالت های ۰۰، ۰۱، ۱۰ و ۱۱) گزارش شود.

- در کدام یک از چهار حالت فوق بیشترین توان استاتیک مشاهده شد؟ چرا؟
- اگر به جای این مدار، نیم جمع کننده ی CMOS وجود داشت، میانگین توان های استاتیک بیشتر بود یا کمتر؟ چرا؟

فرکانس شبیه سازی را 500MHz با $t_r = t_f = 10ps$ و خازنهای بار را $2fF$ در نظر بگیرید.

۲. هر یک از خروجی های مدار چند بار سوئیچ کرده اند (شارژ یا دشارژ شده اند)؟

دلیل تفاوت تعداد شارژها (یا دشارژها) در دو خروجی مدار را تحلیل کنید.

۳. مدار فوق را با تکنولوژی 7nm و $V_{DD} = 0.7v$ نیز شبیه سازی کنید و علت تفاوت اعداد بدست آمده را تحلیل کنید. (برای سایزینگ مدار دقت شود که در این تکنولوژی، تقریباً $\mu_n = \mu_p$)